

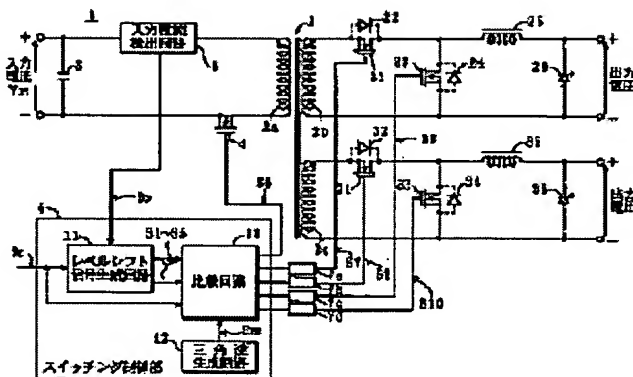
SWITCHING POWER UNIT

Patent number: JP11313479
Publication date: 1999-11-09
Inventor: YASUZAWA SEIICHI
Applicant: JAPAN RADIO CO LTD
Classification:
- international: **H02M3/28; H02M7/21; H02M3/24; H02M7/21; (IPC1-7):**
H02M3/28; H02M7/21
- european:
Application number: JP19980134589 19980428
Priority number(s): JP19980134589 19980428

Report a data error here

Abstract of JP11313479

PROBLEM TO BE SOLVED: To provide a power unit, the conversion efficiency of which can be improved while the breakage of circuit parts resulting from the variation of the operating conditions of the unit, environmental conditions, etc., is prevented. **SOLUTION:** A switching power unit 1 is provided with a main switching element 4 which switches a supplied input direct current, auxiliary switching element 21, 23, 31 and 33 the turning-on/off of which is controlled in accordance with the turning-on/off timings of the main switching element 4, and a switching control section 6 which generates control signal corresponding to the output voltage of the power unit, a level shift signal having a prescribed signal level difference with respect to the signal level of the control signal, and switching signals for controlling the turning-on/off of the main switching elements 4 and auxiliary switching elements 21, 23, 31, and 33 based on comparison signals. The switching control section 6 controls the signal level difference, based on at least either the operating conditions of the power unit or environmental conditions.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-313479

(43)公開日 平成11年(1999)11月9日

(51)Int.Cl.⁹

H 0 2 M 3/28
7/21

識別記号

F I

H 0 2 M 3/28
7/21

F
A

審査請求 未請求 請求項の数3 F D (全 7 頁)

(21)出願番号 特願平10-134589

(22)出願日 平成10年(1998)4月28日

(71)出願人 000214836

長野日本無線株式会社

長野県長野市稲里町下氷鉤1163番地

(72)発明者 安沢 精一

長野県長野市稲里町下氷鉤1163番地 長野

日本無線株式会社内

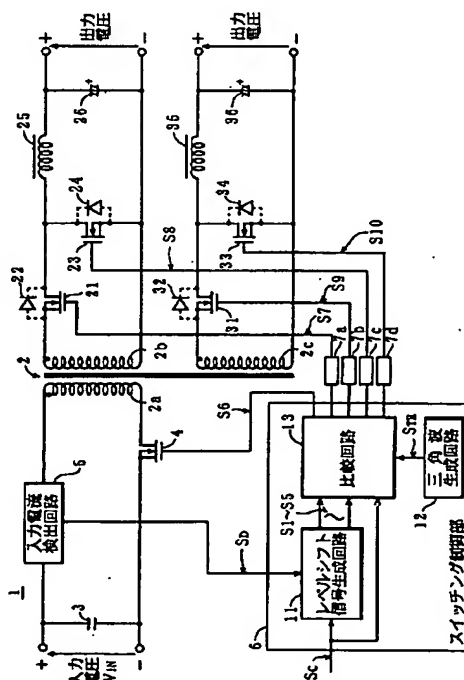
(74)代理人 弁理士 酒井 伸司

(54)【発明の名称】 スイッチング電源装置

(57)【要約】

【課題】 装置の動作条件や環境条件などの変化に起因する回路部品の破壊を防止しつつ、装置の変換効率を向上させることが可能な電源装置を提供する。

【解決手段】 供給された入力直流をスイッチングする主スイッチング素子4と、主スイッチング素子4のオン・オフタイミングに応じてオン・オフ制御される副スイッチング素子21、23、31、33と、装置の出力電圧に応じた制御信号、制御信号の信号レベルに対して所定の信号レベル差を有するレベルシフト信号、および比較信号に基づいて主スイッチング素子4および副スイッチング素子21、23、31、33をオン・オフ制御するためのスイッチング信号を生成するスイッチング制御部6とを備えているスイッチング電源装置1において、スイッチング制御部6は、装置の動作条件および環境条件の少なくとも一方に基づいて所定の信号レベル差を制御する。



【特許請求の範囲】

【請求項 1】 供給された入力直流をスイッチングする主スイッチング素子と、前記主スイッチング素子のオン・オフタイミングに応じてオン・オフ制御される副スイッチング素子と、装置の出力電圧に応じた制御信号、当該制御信号の信号レベルに対して所定の信号レベル差を有するレベルシフト信号、および比較信号に基づいて前記主スイッチング素子および前記副スイッチング素子をオン・オフ制御するためのスイッチング信号を生成するスイッチング制御部とを備えているスイッチング電源装置において、

前記スイッチング制御部は、装置の動作条件および環境条件の少なくとも一方に基づいて前記所定の信号レベル差を制御することを特徴とするスイッチング電源装置。

【請求項 2】 前記スイッチング制御部は、複数の前記レベルシフト信号に対して前記信号レベル差を個別的に制御可能に構成されていることを特徴とする請求項 1 記載のスイッチング電源装置。

【請求項 3】 前記スイッチング制御部は、前記入力直流の電圧、当該入力直流の電流、前記装置の出力電圧、当該装置の出力電流、前記スイッチング信号の周波数、特定部品の温度、特定部位の温度、および周囲温度の少なくとも 1 つを、前記装置の動作条件および環境条件の少なくとも一方として前記所定の信号レベル差を制御することを特徴とする請求項 1 または 2 記載のスイッチング電源装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、スイッチングによって直流電圧を生成するスイッチング電源装置に関し、詳しくは、いわゆる同期整流方式により直流電圧を生成するのに適したスイッチング電源装置に関するものである。

【0002】

【従来の技術】 この種のスイッチング電源装置として、図 3 に示すフォワード型の電源装置 5 1 が従来から知られている。この電源装置 5 1 は、スイッチング用のトランス 5 2 を備えており、トランス 5 2 の一次巻線 5 2 a 側に、コンデンサ 3、FET 4 およびスイッチング制御部 5 3 を備え、二次巻線 5 2 b 側に、ダイオード 5 7、ボディダイオードであるダイオード 2 4 を有する同期整流用の FET 2 3、チョークコイル 2 5 およびコンデンサ 2 6 を備えている。この場合、スイッチング制御部 5 3 は、レベルシフト信号生成回路 5 4、三角波生成回路 1 2 および比較回路 5 5 を備えている。レベルシフト信号生成回路 5 4 は、装置の目標出力電圧と実際の出力電圧との差電圧を誤差増幅して生成された制御信号 SC の電圧値を一定電圧分レベルシフトすることによりレベルシフト信号 S21 を生成する。三角波生成回路 1 2 は、所定周波数の三角波信号 STR を生成する。また、比較回路

5 5 は、制御信号 SC の電圧値と三角波信号 STR の電圧値とを比較すると共にレベルシフト信号 S21 の電圧値と三角波信号 STR の電圧値とを比較することにより、FET 4、2 3 をオン・オフ制御するためのスイッチング信号 S22、S23 を生成する。なお、スイッチング信号 S23 は、比較回路 5 5 の内部に配設されている絶縁用のフォトカップラを介して FET 2 3 のゲートに出力される。

【0003】 この電源装置 5 1 では、入力電圧が供給されると、三角波生成回路 1 2 が、図 4 (a) に示す三角波信号 STR を生成すると共に、レベルシフト信号生成回路 5 4 が、制御信号 SC の電圧値に対して一定の電圧値 $\Delta V11$ 分だけ低電圧のレベルシフト信号 S21 (同図

(a) 参照) を生成する。次いで、比較回路 5 5 が、制御信号 SC の電圧値と三角波信号 STR の電圧値とを比較することにより同図 (b) に示すスイッチング信号 S22 を生成し、生成したスイッチング信号 S22 を FET 4 のゲートに出力する。同時に、比較回路 5 5 は、レベルシフト信号 S21 の電圧値と三角波信号 STR の電圧値とを比較することにより同図 (c) に示すスイッチング信号 S23 を生成し、生成したスイッチング信号 S23 を FET 2 3 のゲートに出力する。この場合、レベルシフト信号 S21 と制御信号 SC との間に電圧値 $\Delta V11$ の差があるため、スイッチング信号 S22 の立ち上がりエッジおよび立ち下がりエッジとスイッチング信号 S23 の立ち下がりエッジおよび立ち上がりエッジとの間には、この電圧値 $\Delta V11$ と三角波信号 STR の傾きとで決定される休止時間 TD が形成され、これにより、両スイッチング信号 S22、S23 が同時にハイレベルにならないようになっている。

【0004】 この状態では、まず、FET 4 が、スイッチング信号 S22 がロウレベルからハイレベルに制御された時からターンオン時間分遅れてオン状態になり、この際には、図 3 に示す向きの電圧 V2 を二次巻線 5 2 b に発生させる。これにより、同図に示す向きの電流 I2 が二次巻線 5 2 b、ダイオード 5 7、チョークコイル 2 5、コンデンサ 2 6 および二次巻線 5 2 b からなる電流経路を流れる。この後、FET 4 は、スイッチング信号 S22 がハイレベルからロウレベルに制御された時からターンオフ時間分遅れてオフ状態になる。この場合、電流 I2 は流れなくなるが、フリーホイーリング電流 I3 が、チョークコイル 2 5、コンデンサ 2 6、ダイオード 2 4 およびチョークコイル 2 5 からなる電流経路を流れ始める。

【0005】 次いで、FET 2 3 が、スイッチング信号 S23 がロウレベルからハイレベルに制御された時からターンオン時間分遅れてオン状態になり、この際には、フリーホイーリング電流 I3 が、ダイオード 2 4 に代えて FET 2 3 を流れ始める。この場合、ダイオード 2 4 による電力損失よりも FET 2 3 による電力損失が小さいため、電力損失が低減される。この後、チョークコイル 2 5 に蓄積されていたエネルギーの放出が行われている

間において、FET 23 が、スイッチング信号 S23 がハイレベルからロウレベルに制御された時からターンオフ時間分遅れてオフ状態に制御される。次いで、スイッチング信号 S22 が、再びロウレベルからハイレベルに制御され、以後、上記した動作を繰り返す。

【0006】このように、この電源装置 51 では、FET 4、23 のターンオン時間およびターンオフ時間分の動作遅れを見込んでスイッチング信号 S22 とスイッチング信号 S23 との間に休止時間 TD を予め設け、FET 4 と FET 23 の同時オン状態を回避することにより FET 4、23 がダイオード 57 などの過電流に起因する破壊を防止すると共に、電力損失の低減を図っている。

【0007】

【発明が解決しようとする課題】ところが、この従来の電源装置 51 には、以下の問題点がある。すなわち、例えば、入力電圧や負荷電流が変化した場合、FET 4 のターンオン時間およびターンオフ時間（以下、これらを総称して「応答時間」ともいう）が変動する。このため、休止時間 TD が短ければ、FET 4 のターンオフ時間が長くなったときには、FET 4、23 が同時にオン状態になる事態が生じ、かかる場合には、電流 I2 が FET 23 を流れることにより、ダイオード 57 や FET 23 が過電流によって破壊されるという問題がある。一方、FET 4、23 の同時オン状態を回避すべく、電圧値 ΔV_{II} を大きくすることにより休止時間 TD を長い時間に設定することもできる。しかし、かかる場合には、FET 4 のターンオフ時間が短くなったときに、フリーホイーリング電流 I3 がダイオード 24 を流れる時間が、必要以上に長くなる。この結果、ダイオード 24 による電力損失が増大するという弊害が生じる。特に、三角波信号 STR の周波数が高ければ高いほど、この弊害は顕著となる。

【0008】また、周囲温度などの環境条件や、負荷電流の変化に起因しての FET 4、23 自身の温度が変化した場合にも、その FET 4、23 の応答時間が変動するため、上記した不都合が生じる。このように、この電源装置 51 では、FET 4、23 の応答時間の変動に起因して、回路部品が過電流に起因して破壊される事態が生じるか、または、これを回避しようとしたときには、電力損失が増大するという問題点がある。

【0009】本発明は、かかる問題点に鑑みてなされたものであり、装置の動作条件や環境条件などの変化に起因する回路部品の破壊を防止しつつ、装置の変換効率を向上させることが可能な電源装置を提供することを主目的とする。

【0010】

【課題を解決するための手段】上記目的を達成すべく請求項 1 記載のスイッチング電源装置は、供給された入力直流をスイッチングする主スイッチング素子と、主スイッチング素子のオン・オフタイミングに応じてオン・オ

フ制御される副スイッチング素子と、装置の出力電圧に応じた制御信号、制御信号の信号レベルに対して所定の信号レベル差を有するレベルシフト信号、および比較信号に基づいて主スイッチング素子および副スイッチング素子をオン・オフ制御するためのスイッチング信号を生成するスイッチング制御部とを備えているスイッチング電源装置において、スイッチング制御部は、装置の動作条件および環境条件の少なくとも一方に基づいて所定の信号レベル差を制御することを特徴とする。

【0011】請求項 2 記載のスイッチング電源装置は、請求項 1 記載のスイッチング電源装置において、スイッチング制御部は、複数のレベルシフト信号に対して信号レベル差を個別的に制御可能に構成されていることを特徴とする。

【0012】請求項 3 記載のスイッチング電源装置は、請求項 1 または 2 記載のスイッチング電源装置において、スイッチング制御部は、入力直流の電圧、入力直流の電流、装置の出力電圧、装置の出力電流、スイッチング信号の周波数、特定部品の温度、特定部位の温度、および周囲温度の少なくとも 1 つを、装置の動作条件および環境条件の少なくとも一方として所定の信号レベル差を制御することを特徴とする。

【0013】

【発明の実施の形態】以下、添付図面を参照して、本発明に係るスイッチング電源装置の好適な実施の形態について説明する。なお、従来の電源装置 51 と同一の構成要素については、同一の符号を付して重複した説明を省略する。

【0014】図 1 に示すように、電源装置 1 は、フォワード型の DC/DC コンバータで構成されている。電源装置 1 は、スイッチング用のトランス 2 を備えおり、トランス 2 の一次巻線 2a 側に、コンデンサ 3、主スイッチング素子としての FET 4、入力電流値に応じた検出信号 SD を出力する入力電流検出回路 5、スイッチング制御部 6、および一次巻線 2a 側の一次回路と二次巻線 2b 側の二次回路とを互いに絶縁する絶縁回路としてのパルストランス 7a~7d を備えている。

【0015】また、電源装置 1 は、トランス 2 の二次巻線 2b 側に、ボディダイオードであるダイオード 22 を有する副スイッチング素子としての FET 21、ボディダイオードであるダイオード 24 を有する副スイッチング素子としての FET 23、チョークコイル 25 およびコンデンサ 26 を備えている。さらに、電源装置 1 は、トランス 2 の二次巻線 2c 側に、ボディダイオードであるダイオード 32 を有する副スイッチング素子としての FET 31、ボディダイオードであるダイオード 34 を有する副スイッチング素子としての FET 33、チョークコイル 35 およびコンデンサ 36 を備えている。

【0016】一方、上記したスイッチング制御部 6 は、レベルシフト信号生成回路 11、三角波生成回路 12 お

および比較回路 13 を備えている。レベルシフト信号生成回路 11 は、制御信号 SC の電圧値に対して、所定電圧分レベルシフトした電圧値のレベルシフト信号 S1~S5 を生成する。また、レベルシフト信号生成回路 11 は、入力電流値に対する FET4 のターンオン時間およびターンオフ時間、並びに FET21, 23, 31, 33 のターンオン時間およびターンオフ時間などの応答時間データを記憶する ROM と、この応答時間データに従って制御信号 SC の電圧値に対するレベルシフト信号 S1~S5 のレベルシフト値を決定する CPU とを内蔵している。三角波生成回路 12 は、本発明における比較信号に相当しスイッチング周波数と等しい周波数の三角波信号 STR を生成する。比較回路 13 は、FET4, 21, 23, 31, 33 をそれぞれオン・オフ制御するためのスイッチング信号 S6, S7, S8, S9, S10 を生成する。

【0017】次に、電源装置 1 の全体的な動作について、図 2 を参照して説明する。なお、電源装置 1 の出力電圧の生成動作自体は、電源装置 51 のスイッチング動作と基本的に同一のため、ここでは、主としてスイッチング制御部 6 による各 FET4, 21, 23, 31, 33 に対する制御動作について説明する。

【0018】最初に、入力電圧 VIN が供給されると、三角波生成回路 12 が、図 2 (a) に示す三角波信号 STR を生成する。次いで、レベルシフト信号生成回路 11 が、制御信号 SC の電圧値に対して、電圧値 $\Delta V1$ 分高電圧のレベルシフト信号 S1 と、電圧値 $\Delta V2$ 分低電圧のレベルシフト信号 S2 と、電圧値 $\Delta V3$ 分低電圧のレベルシフト信号 S3 と、電圧値 $\Delta V4$ 分低電圧のレベルシフト信号 S4 と、電圧値 $\Delta V5$ 分低電圧のレベルシフト信号 S5 とを生成する（同図 (a) 参照）。この場合、レベルシフト信号生成回路 11 内の CPU は、入力電流検出回路 5 から出力される検出信号 SD に基づいて、ROM に記憶されている入力電流値に対応する FET4 の応答時間データ、および FET21, 23, 31, 33 応答データを参照することにより、電圧値 $\Delta V1 \sim \Delta V5$ の電圧値を制御する。

【0019】次いで、比較回路 13 が、制御信号 SC と三角波信号 STR とを比較することにより生成したスイッチング信号 S6（同図 (b) 参照）を FET4 のゲートに出力する。また、比較回路 13 は、同図 (c) ~

(e) に示すスイッチング信号 S7~S10 を FET21, 23, 31, 33 の各ゲートに出力する。この場合、スイッチング信号 S7, S9 は、同図 (c) に示すように、スイッチング信号 S6 に同期してハイレベルとなり、三角波信号 STR の電圧値がレベルシフト信号 S1 の電圧値を下回ったときにハイレベルからロウレベルとなる。また、スイッチング信号 S8 およびスイッチング信号 S10 は、それぞれ、同図 (d), (e) に示すように、三角波信号 STR の電圧値がレベルシフト信号 S2

およびレベルシフト信号 S5 の電圧値を下回ったときに、ロウレベルからハイレベルとなり、かつ、三角波信号 STR の電圧値がレベルシフト信号 S3 およびレベルシフト信号 S4 の電圧値を超えたときにハイレベルからロウレベルとなる。この際に、FET4, 21, 23, 31, 33 は、ゲートに入力されたスイッチング信号がハイレベルのときに、それぞれオン状態に制御される。

【0020】この場合、上記した電圧値 $\Delta V1 \sim \Delta V5$ に対する電圧値制御において、CPU は、その際の入力電流値に応じた FET4 のターンオフ時間と、FET21, 31 のターンオフ時間との時間差に基づいて電圧値 $\Delta V1$ を決定する。この結果、入力電流値が変動したとしても、CPU によって、FET4 とほぼ同時に FET21, 31 がオン状態になり、かつ、FET4 がオフ状態になるのとほぼ同時に FET21, 31 がオフ状態になる。

【0021】以上の電圧値 $\Delta V1$ についての電圧値制御により、FET4 がオン状態のときにトランス 2 の二次巻線 2b, 2c から出力される電流は、その大部分が FET21, 31 を流れ、ダイオード 22, 32 をほとんど流れない。したがって、動作条件や環境条件に応じて FET4, 21, 31 のオフタイミングを制御しないことに起因して二次巻線 2b, 2c から出力される電流の多くがダイオード 22, 32 を流れてしまう場合と比較して、その際の電力損失を大幅に低減することができる。同時に、FET4 がオフ状態のときには、FET21, 31 が必ずオフ状態になるため、FET4 がオフ状態のときに二次巻線 2b, 2c にそれぞれ発生するフライバック電圧に基づく電流が流れることに起因してのトランス 2 におけるコアのリセット不良を確実に防止することができる。

【0022】また、CPU は、上記した電圧値 $\Delta V1 \sim \Delta V5$ に対する電圧値制御において、その際の入力電流値に応じた FET4 のターンオフ時間と、FET23 のターンオン時間との時間差に基づいて電圧値 $\Delta V2$ を決定すると共に、その際の入力電流値に応じた FET4 のターンオフ時間と、FET33 のターンオン時間との時間差に基づいて電圧値 $\Delta V5$ を決定する。さらに、CPU は、その際の入力電流値に応じた FET4 のターンオン時間と、FET23 のターンオフ時間との時間差に基づいて電圧値 $\Delta V3$ を決定すると共に、その際の入力電流値に応じた FET4 のターンオン時間と、FET33 のターンオフ時間との時間差に基づいて電圧値 $\Delta V4$ を決定する。これにより、入力電流値が変動したとしても、CPU によって、FET4 がオフ状態になった直後に FET23, 33 がオン状態になり、かつ、FET4 がオン状態になる以前に FET23, 33 がオフ状態になる。同時に、FET21, 31 がオン状態からオフ状態になった直後に FET23, 33 がオフ状態からオン状態になり、かつ FET23, 33 がオン状態からオフ

状態になった以後に FET 21, 31 がオフ状態からオン状態になる。

【0023】この結果、FET 4 がオフ状態になった後にチョークコイル 25, 35 から放出されるフリーホイーリング電流は、その大部分が FET 23, 33 を流れ、ダイオード 24, 34 をほとんど流れない。したがって、最適なタイミングで FET 4, 21, 23, 31, 33 をオン・オフ制御することができ、これにより、動作条件や環境条件に応じて FET 4, 21, 23, 31, 33 のオン・オフタイミングを制御しないことに起因してフリーホイーリング電流の多くがダイオード 24, 34 を流れてしまう場合と比較して、その際の電力損失を大幅に低減することができる。同時に、FET 21, 23 の同時オン状態、および FET 31, 33 の同時オン状態を共に回避することができるため、FET 4, 21, 23, 31, 33 の過電流による破壊を確実に防止することができる。

【0024】なお、本発明は、上記した実施の形態に限定されず、その構成を適宜変更することができる。例えば、本発明の実施形態では、入力電流値に基づいて電圧値 $\Delta V1 \sim \Delta V5$ の各電圧値を制御しているが、本発明は、これに限定されず、FET 4, 21, 23, 31, 33 の応答時間に影響を与える他の要素に応じて電圧値 $\Delta V1 \sim \Delta V5$ を制御することもできる。具体的には、装置の入力直流の電圧値、装置の出力電圧、装置の出力電流、およびスイッチング信号 S6 の周波数などの動作条件、並びに、FET 4, 21, 23, 31, 33 などの特定部品の温度、これらの FET 近傍の温度、および周囲温度などの環境条件を要素とすることができる。また、電圧値 $\Delta V1 \sim \Delta V5$ の極性および電圧値は適宜変更することが可能である。

【0025】さらに、本発明の実施の形態では、スイッチング信号 S7, S9 を同一のタイミングで制御しているが、本発明は、これに限定されず、レベルシフト信号の数を増加することにより、装置の動作条件などに応じて、すべてのスイッチング信号 S7 ~ S10 をそれぞれ異なるタイミングで制御することもできる。

【0026】また、本発明の実施の形態では、比較信号の信号波形を三角波としているが、本発明は、これに限定されず、正弦波としてもよいし、鋸波としてもよい。また、本発明の実施の形態では、フォワード方式のスイッチング電源装置を例に挙げて説明したが、本発明は、フライバック方式のスイッチング電源装置にも適用することができる。また、本発明の実施の形態では、レベルシフト信号生成回路 11 内に CPU や ROM を配設した構成について説明したが、これらを用いずに構成することもできるし、スイッチング制御部 6 全体を例えば DSP などでも構成することもできる。

【0027】さらに、本発明の実施の形態では、主スイッチング素子としての FET 4 と、副スイッチング素子

としての同期整流用の FET 21, 23, 31, 33 とを同期させてオン・オフ制御する例について説明したが、本発明は、これに限定されず、主スイッチング素子（例えば FET 4）のオン・オフ動作と、これに同期する信号の送出用の副スイッチング素子や、並列運転などの各種の動作の副スイッチング素子とを同期させてオン・オフ制御することができる。

【0028】

【発明の効果】以上のように、請求項 1 記載のスイッチング電源装置によれば、スイッチング制御部が装置の動作条件および環境条件の少なくとも一方に基づいて主スイッチング素子および副スイッチング素子をオン・オフ制御するためのスイッチング信号を生成することにより、最適なタイミングで主スイッチング素子および副スイッチング素子をオン・オフ制御することができ、これにより、回路部品の過電流による破壊を防止することができると共に、装置の変換効率を向上させることができる。

【0029】また、請求項 2 記載のスイッチング電源装置によれば、スイッチング制御部が複数のレベルシフト信号に対して信号レベル差を個別的に制御可能に構成されていることにより、単一のレベルシフト信号のみに基づいて主スイッチング素子および副スイッチング素子についてのスイッチング信号を生成する場合と比較して、よりきめ細やかに主スイッチング素子および副スイッチング素子のオン・オフを制御することができる結果、装置の変換効率を、より向上させることができる。

【0030】さらに、請求項 3 記載のスイッチング電源装置によれば、各種の動作条件や環境条件に応じて主スイッチング素子および副スイッチング素子のオン・オフを制御することにより、より確実に、回路部品の過電流による破壊を防止することができると共に装置の変換効率を向上させることができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態に係る電源装置の回路図である。

【図 2】本発明の実施の形態に係る電源装置の動作を説明するための電圧波形図であって、(a) は三角波信号 STR、制御信号 SC および各レベルシフト信号 S1 ~ S5 の電圧波形図、(b) はスイッチング信号 S6 の電圧波形図、(c) はスイッチング信号 S7, S9 の電圧波形図、(d) はスイッチング信号 S8 の電圧波形図、(e) はスイッチング信号 S10 の電圧波形図である。

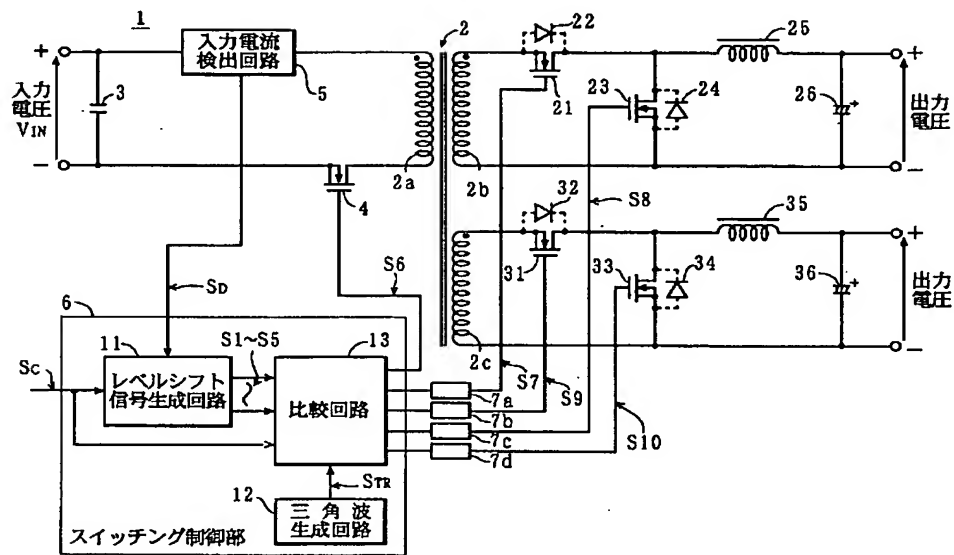
【図 3】従来の電源装置の回路図である。

【図 4】従来の電源装置の動作を説明するための電圧波形図であって、(a) は三角波信号 STR、制御信号 SC およびレベルシフト信号 S21 の電圧波形図、(b) はスイッチング信号 S22 の電圧波形図、(c) はスイッチング信号 S23 の電圧波形図である。

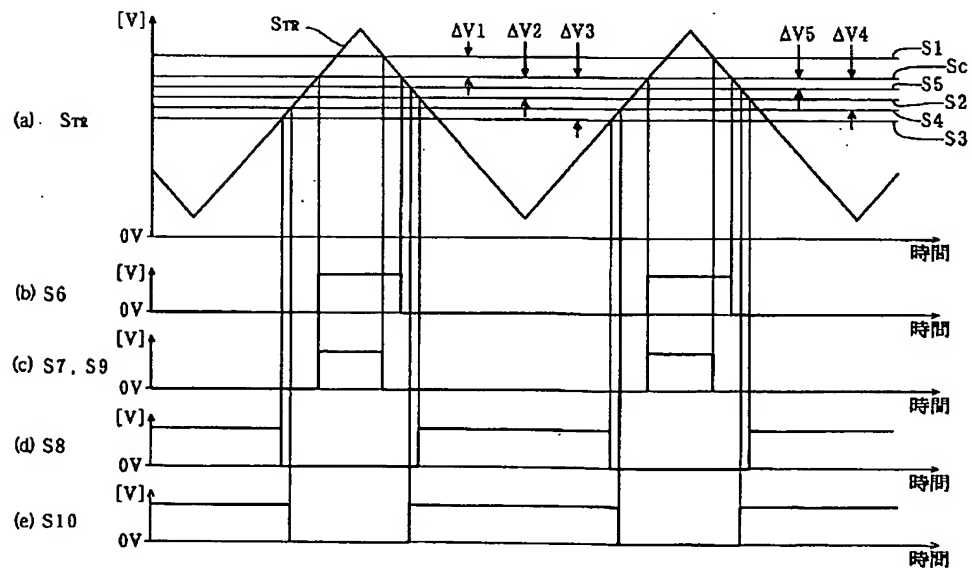
【符号の説明】

- | | |
|-----------------|-----------------|
| 1 電源装置 | 23 FET |
| 4 FET | 31 FET |
| 6 スイッチング制御部 | 33 FET |
| 11 レベルシフト信号生成回路 | S1~S5 レベルシフト信号 |
| 12 三角波生成回路 | S6~S10 スイッチング信号 |
| 13 比較回路 | SC 制御信号 |
| 21 FET | STR 三角波信号 |

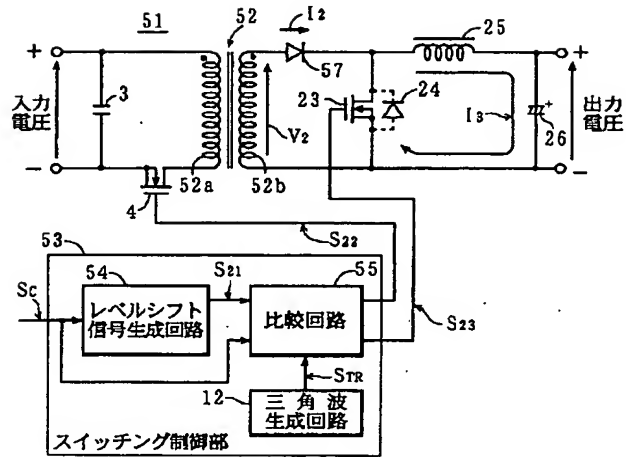
【図1】



【図2】



【図 3】



【図 4】

